

#30 Priority Document  
D. DeGros  
12-13-01

Docket No.: 60188-101

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Tomoo KIMURA, et al.

Serial No.:

Group Art Unit:

Filed: September 28, 2001

Examiner:

For: CIRCUIT OPERATION VERIFYING METHOD AND APPARATUS



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2000-300119, filed September 29, 2000**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prp  
**Date: September 28, 2001**  
Facsimile: (202) 756-8087

60188-101  
KIMURA et al.  
September 28, '01

日本国特許庁 McDermott, Will & Emery  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月29日

出願番号

Application Number:

特願2000-300119

出願人

Applicant(s):

松下電器産業株式会社

J1046 U.S. PTO

09/964515

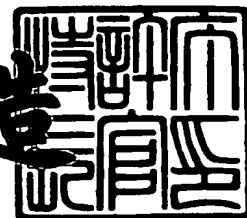


09/28/01

2001年 6月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3059837

【書類名】 特許願

【整理番号】 2037920016

【提出日】 平成12年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50  
G01R 31/316  
G01R 31/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 木村 智生

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 片岡 知典

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 西田 要一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 瀧上 郁雄

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 河合 賢

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

会社内

【氏名】 石山 裕浩

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 回路動作検証装置およびシステム

【特許請求の範囲】

【請求項 1】 半導体回路及びレイアウト設計において回路素子が規格を満たすことを検証する際に、前記回路素子に印加する電圧と電流の電氣的規格を設定した条件情報と、検証する回路の接続情報を表す回路図データと、回路動作シミュレーションに使用する入力パターンを読み込み、前記回路素子の動作を観測して検証する条件検証処理を回路動作シミュレーションと同時に実行することを特徴とする回路動作検証装置。

【請求項 2】 前記条件情報にさらに前記回路素子の電流密度値及び発熱量を示す電氣的規格が設定され、電流解析値とレイアウト情報より半導体装置内部における電流密度及び発熱解析が可能なことを特徴とする請求項 2 記載の回路動作検証装置。

【請求項 3】 前記条件情報にさらに前記電氣的規格を違反する許容時間または違反回数を示した時間的規格が設定され、電氣的規格と時間的規格に基づく条件検証処理を行うことができる請求項 1 または請求項 2 いずれか一項記載の回路動作検証装置。

【請求項 4】 請求項 1 ないし請求項 3 のいずれか記載の回路動作検証装置と、回路動作シミュレーション結果を表示する波形表示装置と、回路またはレイアウトの設計に使用する設計装置とを備え、前記条件検証処理の結果を前記波形表示装置または前記設計装置に表示することを特徴とする回路動作検証システム。

【請求項 5】 前記条件検証処理において、検証処理の対象となる解析時間または非対象とする時間の指定を行うことで条件検証結果の出力を制御することを特徴とする請求項 1 ないし請求項 3 のいずれか一項記載の回路動作検証装置。

【請求項 6】 前記条件情報において、前記電氣的規格と前記時間的規格は、すべての回路素子に対して一括指定、または個々の回路素子毎に指定する個別指定のいずれかで指定されたものであることを特徴とする請求項 1 ないし請求項 3 いずれか一項記載の回路動作検証装置。

【請求項 7】 前記入力パターンを用いて、一時的に実行する回路動作シミュ

レーションより回路素子の動作情報と回路階層情報とを作成し、前記動作情報と回路階層情報を元に前記回路図データから動作及び回路構成が同じである回路部分を検索し、前記検索結果より重複する回路部分の一つに前記個別指定を設定することを特徴とする請求項 6 記載の回路動作検証装置。

【請求項 8】 前記入力パターンを用いて、一時的に実行する回路動作シミュレーションより回路素子の動作情報と回路階層情報とを作成し、前記動作情報と回路階層情報を元に前記回路図データから動作及び回路構成が同じである回路部分を検索し、前記検索結果より重複する回路部分を一つの回路部分に統合する回路図データのリダクション処理機能を有する請求項 1 から請求項 3 のいずれか一項記載の回路動作検証装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体回路設計及びレイアウト設計が、デバイス特性で決定する素子規格に沿った回路及びレイアウト設計であることを自動検証する装置に関する技術である。

【 0 0 0 2 】

【従来の技術】

フラッシュメモリや液晶ドライバの L S I では、L S I 内部の昇圧回路等を使って電源電圧より高い内部電圧を発生し、フラッシュメモリの書換えや、液晶の表示制御を行っている。一般的にフラッシュメモリ L S I では + 1 0 ~ + 2 0 V 、液晶ドライバ L S I では + 2 0 V 以上の電圧を使用し、さらにフラッシュメモリ L S I に至っては - 1 0 V 程度の負電圧を使用する L S I がある。

【 0 0 0 3 】

高い電圧を使用すると、この電圧源から大きな電流が流れることになる。L S I の内部配線に過大な電流が流れるとエレクトロマイグレーションが起これ、内部配線が断線する恐れがある。もう一つ、過大電流により発生する問題として、電力消費で発生する熱がある。L S I の温度が上昇すると、トランジスタ特性劣化、エレクトロマイグレーション、酸化膜ブレイクダウン、ホットエレクトロン

注入がより顕著になり、L S I の故障原因となる。電流と発熱量の問題は、近年の高速動作する L S I においても重要な設計課題の一つである。

## 【 0 0 0 4 】

従来、このような電圧・電流・発熱に関して設計検証する技術について有効な手段がなく、設計者の目視による検証方法しかなかった。一方、電圧値のみを検証する技術に関しては特開 2 0 0 0 - 1 3 2 5 7 8 が提案されている。

## 【 0 0 0 5 】

特開 2 0 0 0 - 1 3 2 5 7 8 における解析結果データを得るには、例えば図 5 に示したように、まず電圧検証したい回路図データ（回路接続の情報を表すネットリスト）と回路動作シミュレーション解析（アナログ解析）で使用する入力パターンを準備する。次に、回路動作シミュレーション装置を用いて通常の回路動作シミュレーションを実行し、解析結果データを作成する。この解析結果データと、条件入力部で指定する電圧条件及び回路図データ（ネットリスト）を図 5 の 1 3 に示す印加電圧検出装置（該当素子の検出と回路図表示機能）に入力して、条件判定の処理を行う。条件判定結果の回路図データ（検出結果）より違反箇所を把握して、回路設計にフィードバックする。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

従来の電圧、電流、発熱の電氣的素子規格を検証するには、回路動作シミュレーション等を用いて目視による検証を行っていた。このような設計方式では、今日の回路規模の増大や複雑化により検証精度が著しく低下し、設計効率が悪い。人手作業を排除し条件検証を自動化する方法として、特開 2 0 0 0 - 1 3 2 5 7 8 が提案されている。しかしながら、特開 2 0 0 0 - 1 3 2 5 7 8 に開示されているのは電圧の条件検証のみであり、電流と発熱の条件検証は行えず、また回路動作シミュレーションと条件検証の処理との二つの処理が必要であることから検証作業の時間的効率が良くない。また、回路動作シミュレーションの解析データが存在する回路素子しか検証することができないため、十分な検証を行うためには、多量の解析データが必要となる。

## 【 0 0 0 7 】

さらに、回路素子の規格条件には酸化膜劣化特性のように、印加電圧値と印加時間によって劣化耐性が決定する特性がある。このように電氣的条件以外に、印加時間を示す時間的条件も検証する必要があり、従来技術では自動検証を行うことはできなかった。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

請求項 1 記載の発明は、半導体回路及びレイアウト設計において、回路素子に印加する電圧値と電流値が製造に採用する半導体デバイス条件によって決定される素子規格以内であることを検証する処理を回路動作シミュレーション中に行う回路動作検証装置に関する技術である。まず、回路素子とこの回路素子に対応した電氣的規格を記述した条件情報を作成する。次に、回路動作シミュレーションで使用する電圧や電流等の波形を記述した入力パターンを準備する。これらの回路素子の条件情報と、入力パターンを本発明の回路動作検証装置に入力して、条件検証と回路動作シミュレーションを同時に計算し、一度の計算処理で条件検証と回路動作シミュレーションの結果が得られる。

## 【 0 0 0 9 】

請求項 2 記載の発明は、前記の条件情報にさらに電流密度と熱許容の電氣的規格を設定し、回路動作シミュレーションで求めた電流値から電流密度の集中度や、電流による発熱現象を解析することができる請求項 1 記載の回路動作検証装置に関するものである。この解析結果から L S I の発熱状態を把握することで、電流や熱に関する最適設計が可能になり、また熱問題が引き起こす不良を回避することができる。

## 【 0 0 1 0 】

請求項 3 記載の発明は、回路動作検証装置の条件情報中に、電氣的規格を違反する場合の許容時間と違反回数を表す時間的規格を設定する。この時間的規格を設定することにより、酸化膜の劣化現象のように印加電圧と印加時間の関係を検証することが可能になる。

## 【 0 0 1 1 】

請求項 4 記載の発明は、回路動作シミュレーション結果を表示する波形表示装



置と、回路またはレイアウトの設計に使用する設計装置とをさらに備えたシステムを構成し、回路動作検証装置における回路素子の電氣的及び時間的規格の条件検証して、求めた解析結果データと検出結果をシミュレーション波形表示装置に表示する際に、本発明の回路動作検証装置は違反箇所を瞬時に表示制御を行う。また、回路とレイアウト設計装置においても違反箇所の回路素子、ノード、レイアウト位置・パターンを表示することができ、視認性が良く検証確認の効率が高い。

## 【 0 0 1 2 】

請求項 5 記載の発明は、条件処理の対象または非対象の時間設定により、本発明の回路動作検証装置の処理速度を向上する。

## 【 0 0 1 3 】

請求項 6 記載の発明は、すべての回路素子に対して一括で指定方法以外に、回路素子毎に指定する個別指定のいずれかの選択が可能である。

## 【 0 0 1 4 】

請求項 7 記載の発明は、回路動作シミュレーションで使用する入力パターンを先読みし一時的な動作シミュレーションを行う。この一時的な動作シミュレーションは低精度であるが高速な計算を行い、それぞれの回路素子の動作情報と回路階層情報を作成する。動作情報は個々の回路素子の動作パターンが、回路階層情報は回路の階層構造が記録される。これらの動作情報と回路階層情報から、同じ回路動作と階層構成である回路素子を検索し、該当した複数の回路素子内ある一つの回路素子に対してのみ条件検証を行うように請求項 6 記載の条件情報の個別指定を自動設定し、最終的な条件検証と動作シミュレーションを実行する。条件検証する対象の回路数が削減される。

## 【 0 0 1 5 】

請求項 8 記載の発明は、低精度であるが高速の一時的な動作シミュレーションを行い、回路の動作情報と回路階層情報を作成し、非動作の回路素子が含まれる回路部分を特定する。判明した非動作の回路部分を削除する回路のリダクション処理を加えた回路図データを生成する機能（リダクション処理機能）により、再作成された回路図データを用いて条件検証と動作シミュレーションを実行する。

【 0 0 1 6 】

## 【発明の実施の形態】

本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 1 7 】

本発明の実施の形態を図 1 に示す。回路動作検証装置 1 は E W S や P C 等のコンピュータ上で稼動する回路動作をシミュレーションする E D A ソフトウェアを搭載した装置を想定している。本発明の回路動作検証装置 1 の入力データとして、回路素子の電氣的・時間的規格を記述した条件情報 2 と、検証したい回路の接続情報である回路図データ（ネットリスト） 3 と、回路動作シミュレーションに必要な入力パターン 4 がある。これら 3 つのデータを入力して、回路動作シミュレーションを行いながら各回路素子の印加電圧や電流が電氣的・時間的規格を違反する箇所を検出する。よって、一回の回路動作シミュレーションの作業の中で、回路素子の条件検証と回路動作シミュレーションを行え作業効率が良い。また、条件検証に使用する解析データを蓄積する必要がなくデータの使用効率も良い。処理が終了すると、解析結果&検証結果 5 が生成される。解析&検証結果 5 から違反の有無と違反箇所の確認するか、表示装置 6 上に表示して確認する。表示装置 6 は電圧・電流波形表示装置、回路設計装置、レイアウト設計装置を備える。シミュレーション結果の電圧・電流などの波形状態をコンピュータのディスプレイ上に表示する電圧・電流波形表示装置上に表示して確認する。その際、違反箇所に関連する波形を自動的に表示するように本発明の回路動作検証装置 1 から制御することで、違反内容の視認性が良く結果の確認作業が早い。また、違反回路素子の情報を表示する手段として、回路設計装置やレイアウト設計装置において回路及びレイアウトの設計に使用する C A D ソフトウェアを用いて違反情報と回路素子の情報をコンピュータのディスプレイに表示することができ、回路とレイアウトから違反箇所が明確に把握することが可能である。

【 0 0 1 8 】

次に、具体的な回路素子の電氣的・時間的規格の条件情報と、検証内容について説明する。N M O S F E T の印加電圧の検証を例に、図 2 を用いて説明する。図 2 ( a ) に N M O S F E T の回路記号を示す。N M O S F E T には、ゲート（

G)、ドレイン(D)、ソース(S)、基板(B)の4端子があり、それぞれに印加する電圧を $V_g$ ,  $V_d$ ,  $V_s$ ,  $V_b$ とする。端子間の電圧は、次のとおりとする。

## 【0019】

ゲートドレイン間電圧  $V_{gd} = V_g - V_d$

ゲートソース間電圧  $V_{gs} = V_g - V_s$

ゲート基板間電圧  $V_{gb} = V_g - V_b$

ドレインソース間電圧  $V_{ds} = V_d - V_s$

ドレイン基板間電圧  $V_{db} = V_d - V_b$

ソース基板間電圧  $V_{sb} = V_s - V_b$

ここで、印加電圧の範囲を示した電氣的規格を以下のように設定する。 $n_{vgd}$ ,  $n_{vgs}$ ,  $n_{vdb}$ ,  $n_{vds}$ ,  $n_{vdb}$ ,  $n_{vsb}$ に負の最大値を、 $p_{vgd}$ ,  $p_{vds}$ ,  $p_{vgb}$ ,  $p_{vds}$ ,  $p_{vdb}$ ,  $p_{vsb}$ に正の最大値を設定する。

## 【0020】

$n_{vgd} \leq V_{gd} \leq p_{vgd}$

$n_{vgs} \leq V_{gs} \leq p_{vgs}$

$n_{vgb} \leq V_{gb} \leq p_{vgb}$

$n_{vds} \leq V_{ds} \leq p_{vds}$

$n_{vdb} \leq V_{db} \leq p_{vdb}$

$n_{vsb} \leq V_{sb} \leq p_{vsb}$

図2(b)に回路動作シミュレーションの実行結果例を示す。図2(b)は、あるNMOSFETのドレインソース間電圧 $V_{ds}$ に印可される電圧の結果波形である。ここで電氣的規格の $V_{ds}$ を、 $V_{ds} \leq +10V$ と定義した。即ち $p_{vds} = 10V$ である。よって、図2(b)の符号8から12で示す期間(以下、違反期間という)において規格を違反する電圧となり、本発明の回路動作検証装置はこのような部分を検知して、規格違反の開始及び終了時間と区間時間、違反中のピーク値、違反期間の出現回数を、回路素子の情報と一緒に出力する。違反期間8と12の検証結果の例を次に示す。違反期間8の場合、規格違反の開

始時間は5 ns、終了時間は17 ns、違反区間時間は2 ns、ピーク値17.5 V、出現回数1回目となる。違反期間12の場合は、規格違反開始時間は50 ns、終了時間は55 ns、違反区間時間は5 ns、ピーク値15 V、出現回数は5回目となる。

#### 【0021】

次に、時間的規格について説明する。時間的規格には、違反を検証する開始時間と終了時間、違反期間の許容時間を指定する。それぞれを図2(b)を用いて説明する。違反検証の開始時間を10 ns、終了時間を50 nsとすると、違反検証の対象時間は10 nsから50 nsの範囲となるので、結果は違反期間9、10、11が検出される。一方、違反の許容時間を10 nsとした場合は、違反期間9の違反のみ検証結果として出力する。

#### 【0022】

以上、説明した印加電圧の電氣的規格の検証により、フラッシュメモリや、液晶ドライバのLSIなど、チップ内部で高電圧を取り扱うLSIにおいて、回路素子に印加する電圧値の最大値チェックを一回の回路動作シミュレーションでかつ回路動作シミュレーションの解析データの内の必要な部分のみを解析結果及び検証結果として出力することにより、効率的に検証を行うことができ、規格以上の電圧を加えて回路素子を破壊するなどの設計ミス回避をすることができる。また、時間的規格と併用することで、MOSFETのゲート-基板間や容量素子のような酸化膜に印加する電圧と印加時間の条件を設定することで、酸化膜の劣化特性も考慮した回路素子の条件検証を行うことができる。

#### 【0023】

ここで、検証を行う時間を指定することも可能である。検証の開始時間と終了時間の指定は、指定以外の時間における検証処理を省略することができるため、処理の高速化が望める。なお、開始と終了時間による条件検証の指定方法を述べたが、条件検証の処理を除外する時間の開始と終了時間の指定もできる。また、電氣的、時間的規格は、複数種類の規格指定や、回路ブロック毎、個々の回路素子毎の規格設定により、回路ブロックや素子の細かい条件解析が可能となる。一方、条件検証の対象と非対象の回路領域を指定することで余分な回路素子の検証

処理を省略することにより、処理時間を短縮することができる。

【0024】

次に、電流値の実施例を図2(a)のNMOSFETを用いて説明する。NMOSFETの4端子に流れ込む電流を $I_g$ 、 $I_d$ 、 $I_s$ 、 $I_b$ とする。ここで電圧の電氣的規格と同様に、それぞれの端子電流の範囲で印加電圧の範囲を示した電氣的規格を以下のように設定する。

【0025】

$$nig \leq Ig \leq pig$$

$$nid \leq Id \leq pid$$

$$nis \leq Is \leq pis$$

$$nib \leq Ib \leq pib$$

このように条件情報を定義することで、回路素子に流れる電流値を検証することができる。しかしながら、トランジスタ素子のドレイン電流 $I_d$ 、ソース電流 $I_s$ はトランジスタの電流駆動能力、すなわちON抵抗によって必然的に決定する。よって、電流値の検証が必要ないと思われるが、例えばある程度の高いドレイン電圧が印可されるとドレインから基板へ基板電流 $I_b$ が発生する現象があり、電流に敏感なアナログ回路を設計する際にこの現象が発生する箇所を自動的に特定できると設計の効率が良い。

【0026】

半導体のレイアウト情報と連携して電流値の検証を行うことで、電流密度・発熱量に関する電氣的規約を検証することができる。電流密度は、回路シミュレーションから求められた電流値とレイアウト情報から抽出した内部配線の幅や配線コンタクトの個数や形状などの情報から求められる。電流密度の検証は、過大電流により引き起こるエレクトロマイグレーションによる内部配線の断線や、電源・グランド配線で問題となる電源の電圧降下・グランドの電圧上昇箇所の特定ができる。よって、動作シミュレーションの解析結果、素子規格の検証結果、レイアウト情報の3つと連携することで電流密度の電氣的規格に反する箇所を回路とレイアウトで把握できる。また、回路シミュレーションによって求めた電流値から発熱エネルギーを算出し発熱量を算出し、レイアウト情報と重ねることでチッ

ブ内の発熱分布を知ることができる。これにより、LSIの熱設計や、LSI内部の温度上昇によるトランジスタの特性劣化する箇所の特定が可能になる。この発熱量の解析は、大電流を消費するLSIや、高い周波数で動作するLSI等の設計に使用できる。

## 【 0 0 2 7 】

本発明では回路動作シミュレーションと同時に条件検証の処理を行うため、一回の処理で両方の結果が得られ作業効率が良いことと、逐次処理の形態であるためシミュレーションの途中で条件検証の結果を確認することができる。

## 【 0 0 2 8 】

さらなる作業効率を上げる技術として、以下に述べるように本発明の回路動作検証装置は回路の階層構造を考慮した条件検証処理を軽減する階層処理機能を備えることで、処理時間の短縮が望める。

## 【 0 0 2 9 】

第1の回路接続の階層構成を考慮した処理機能による条件検証処理の軽減化方法について説明する。始めに、回路の接続情報である回路図データ2と、入力パターン4を入力する。これらの情報を使って一時的な回路シミュレーションを行う。この一時的な回路シミュレーションは、入力パターンより信号の伝達状況から全回路素子の動作または非動作の状態を求め回路素子の動作情報を作成する。よって、回路素子の動作情報は回路素子のスイッチング状況を抽出するだけで良いため、一時的な回路シミュレーションではシミュレーションの時間ステップを大きく設定したり、回路素子を単純なスイッチ素子などに置き換えて、低精度で高速にシミュレーションを行う。次に、回路図データ中の回路とそれを構成する回路素子の接続情報から回路の階層構造を示す回路階層情報を生成する。例えば、回路階層情報は図3、図4に示すような回路の階層構造を表す。これら生成した回路動作情報と回路階層情報と、電氣的・時間的規格2を読み込み、同じ動作パターンであって、かつ同じ階層状態である回路素子を認識し、一致した複数の回路素子内のある一つの回路素子に対してのみ条件検証するように条件情報の個別指定を自動で設定する。以上の処理を終了した後、条件情報の個別指定の設定情報と、電氣的・時間的規格2、回路図データ3、入力パターン4を再度読み込

み、最終的な回路シミュレーションと条件検証の処理を実行する。

#### 【0030】

図3(a)に、メモリLSIのような同じ回路が繰り返して構成される回路構成図を示す。この回路MEMORY\_LSIは4個の回路DECODERで、回路DECODERは回路Cir. Aと回路Cir. Bで構成される。通常、条件検証の対象となる回路素子は図3(a)に示すような条件検証の範囲となり、同じ動作パターン、階層構成の回路素子において重複で検証される。第1の階層処理は図3(b)に示すように、同じ回路動作で階層構成の回路素子に対しては、一致する回路部分のみを条件検証範囲に限定することで、条件処理の対象を減らすことができる。図3(b)で動作する回路素子が回路DECODER中の回路Cir. Aに含まれるMOSFET素子MOS0とする。回路間、回路と回路素子間の接続線が太線の部分と、下線を引いて示した回路素子が動作する回路と回路素子を示す。今、回路DECODERの#1~4が同じ回路動作と回路構造であるとすると、図3(b)に示すように回路DECODER#1以下のみを検証の対象となる。よって、図3(a)に比べると検証する回路規模が1/4になり、処理の高速化が望める。

#### 【0031】

次に、第2の回路接続の階層構成を考慮した処理機能による条件検証処理の軽減化方法について説明する。第1の回路接続の階層構成を考慮した処理機能と同様に、一時的な回路動作シミュレーションによって、回路動作情報と回路階層情報を記録する。これら二つの情報より、同じ回路動作、同じ回路構成の回路部を検索して、相互に同じであった回路部の内、一つだけを残し、それ以外の回路部は削除した回路データを新たに作成する。この新たに作成した回路データを用いて、最終的な条件検証と回路動作シミュレーションを行う。よって、新たに作成した回路データは回路規模のリダクション処理が行なわれ初めの回路データと比較して規模が小さくなり、最終的な条件検証と回路動作シミュレーションを高速に処理することができる。

#### 【0032】

図4で実施例を示す。図4(a)は、元の回路構成の階層図を示す。入力ベク

ターと回路図データから解析すると、図 4 (b) のように、回路 DEOC DER # 1 と、回路 DECODER # 2, 3, 4 に回路状態が分けられる。図 4 中の太線の接続線と、下線を引いて示した回路素子が動作状態の回路素子を示す。つまり、回路 DECODER # 2, 3, 4 は、回路素子の動作状態と回路構造が一致している。例えば、回路 DECODER # 2, 3, 4 を回路 DECODE R # 3 の一つにリダクションした新しい回路図データ図 4 (c) を作成する。この新たに生成した図 4 (c) の回路図データで最終的な条件検証と回路動作シミュレーションを行うことで、第 1 の回路接続の階層構成を考慮した処理機能と同様に処理の高速化が期待できる。

#### 【 0 0 3 3 】

##### 【発明の効果】

本発明の回路動作検証装置を用いることで、電圧、電流の電氣的規格と印加時間の時間的規約の条件検証を回路シミュレータ上で実現することで、人手による回路検証に比べて検証精度が上がり、設計品質が向上する。また、波形表示装置、回路及びレイアウト設計装置上での検証結果を容易に確認することで視認性を改善した。

#### 【 0 0 3 4 】

さらに、一回の回路検証シミュレーションで条件検証を行えることで作業工数の削減や、条件検証に使用する解析データがいらなくなる。また条件の個別指定機能や、回路の階層構成を考慮した条件検証処理や回路リダクション処理により、条件検証の処理時間を短縮することが可能であり、さらなる設計品質と作業効率の改善の効果が得られる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の回路動作検証システムを示す図

##### 【図 2】

NMOSFET と条件検証の実施図

##### 【図 3】

第 1 の回路接続の階層構成を考慮した処理機能の実施図



【図 4】

第 2 の回路接続の階層構成を考慮した処理機能の実施図

【図 5】

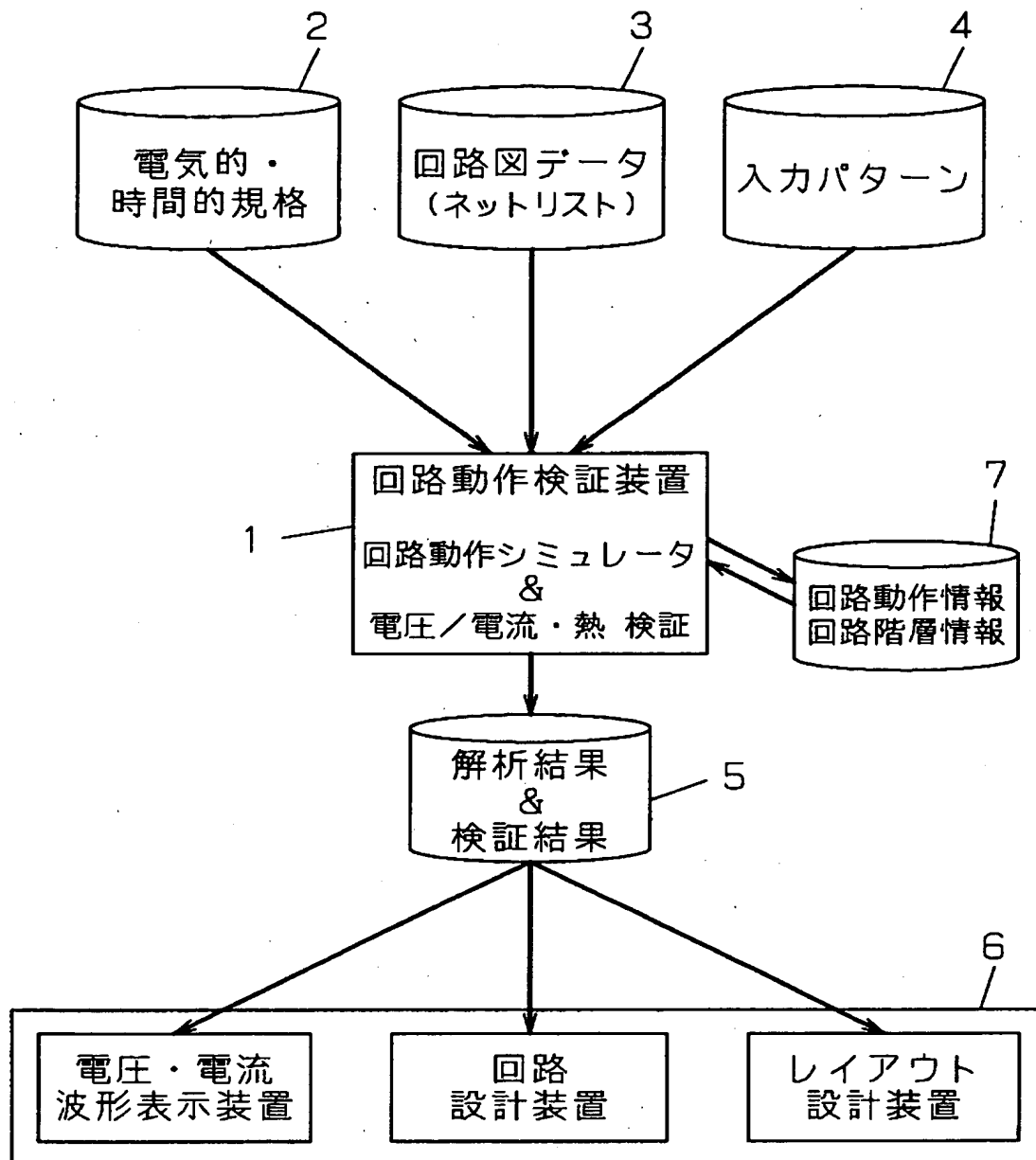
従来の印加電圧検出装置を示す図

【符号の説明】

- 1 本発明の回路動作検証装置
- 2 電氣的規格と時間的規格の条件情報
- 3 回路図データ（ネットリスト）
- 4 入力パターン
- 5 解析結果と検証結果
- 6 表示装置

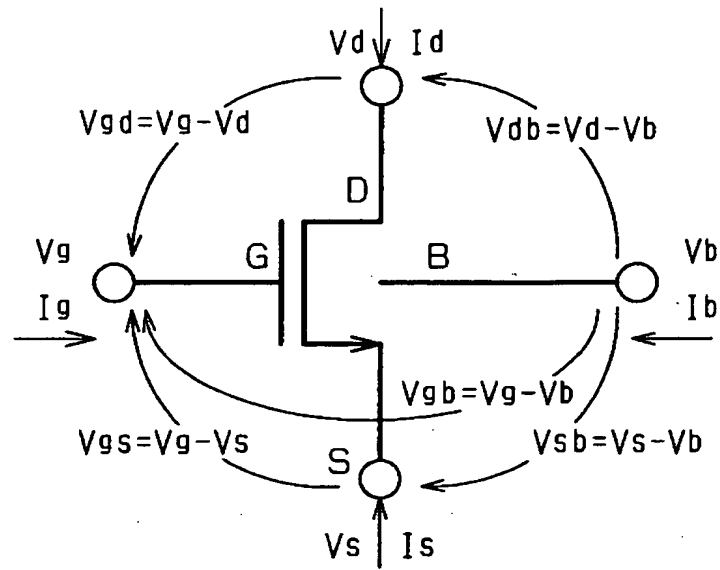
【書類名】 図面

【図1】

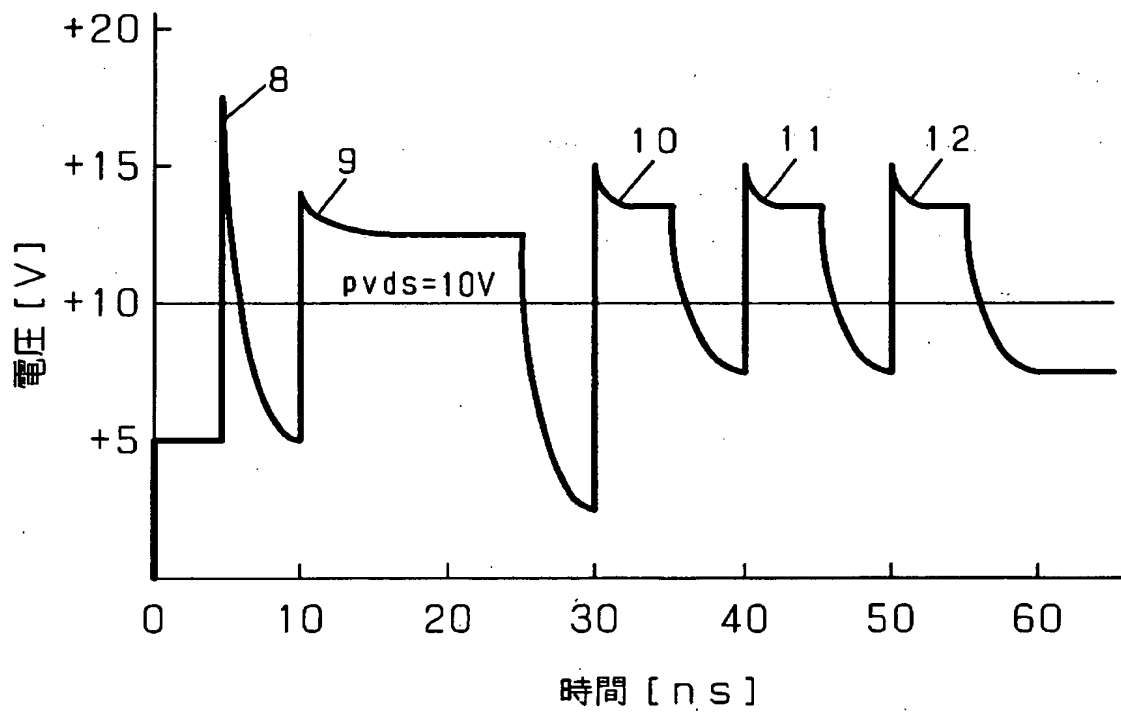


【図 2】

(a)

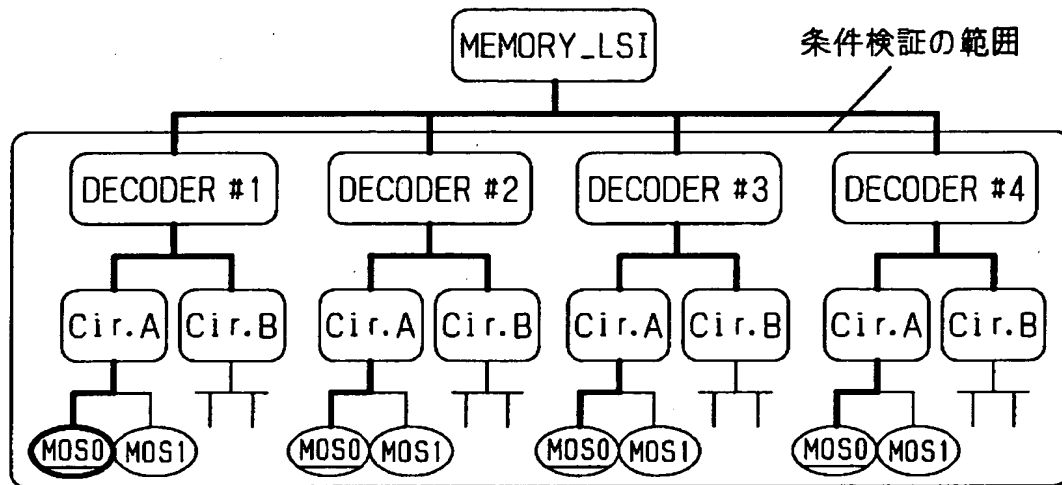


(b)

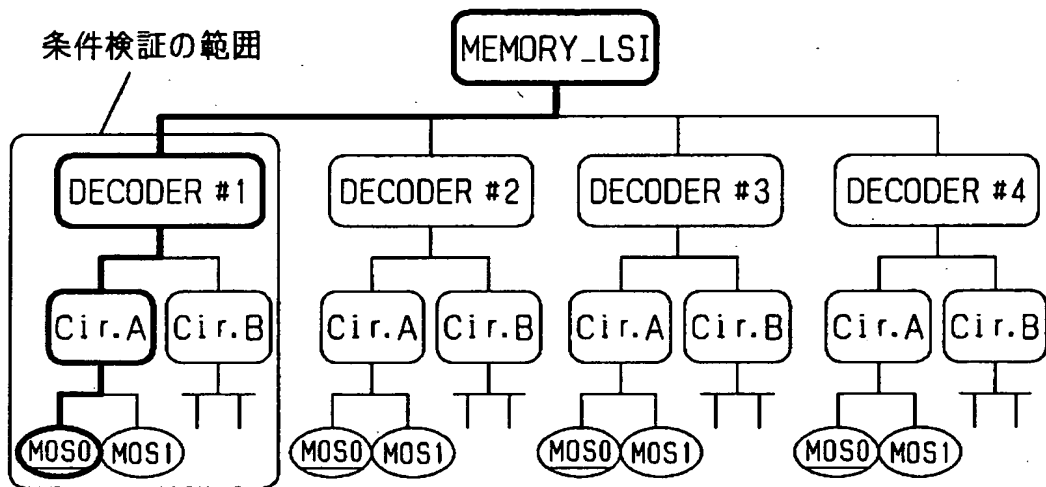


【図 3】

(a)

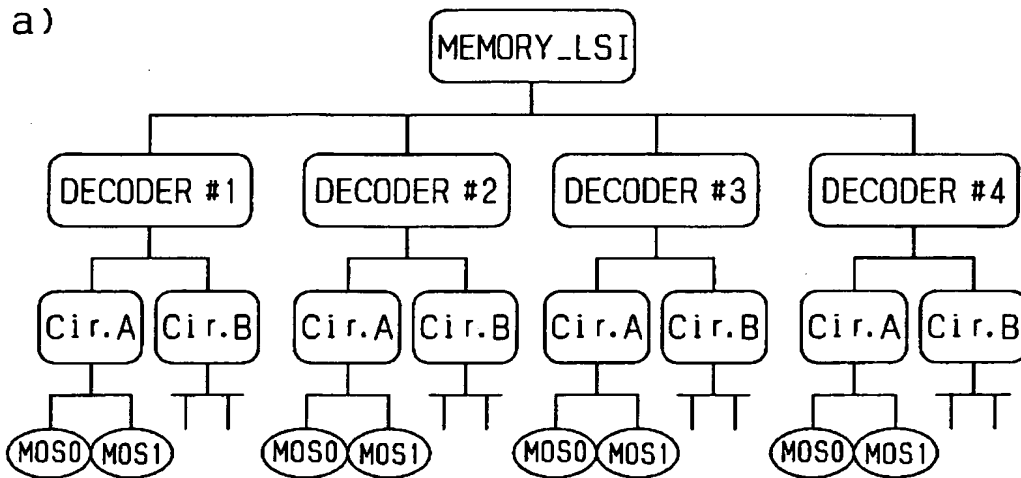


(b)

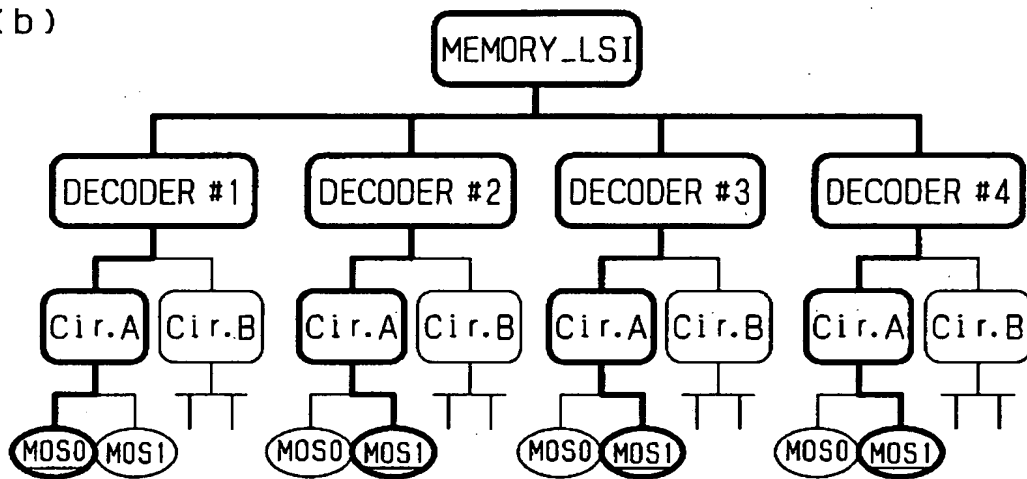


【図 4】

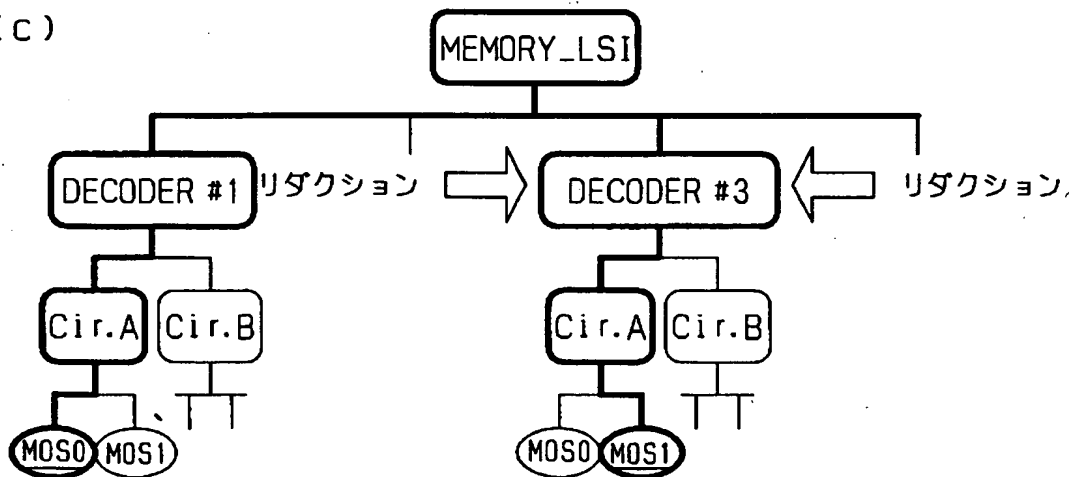
(a)



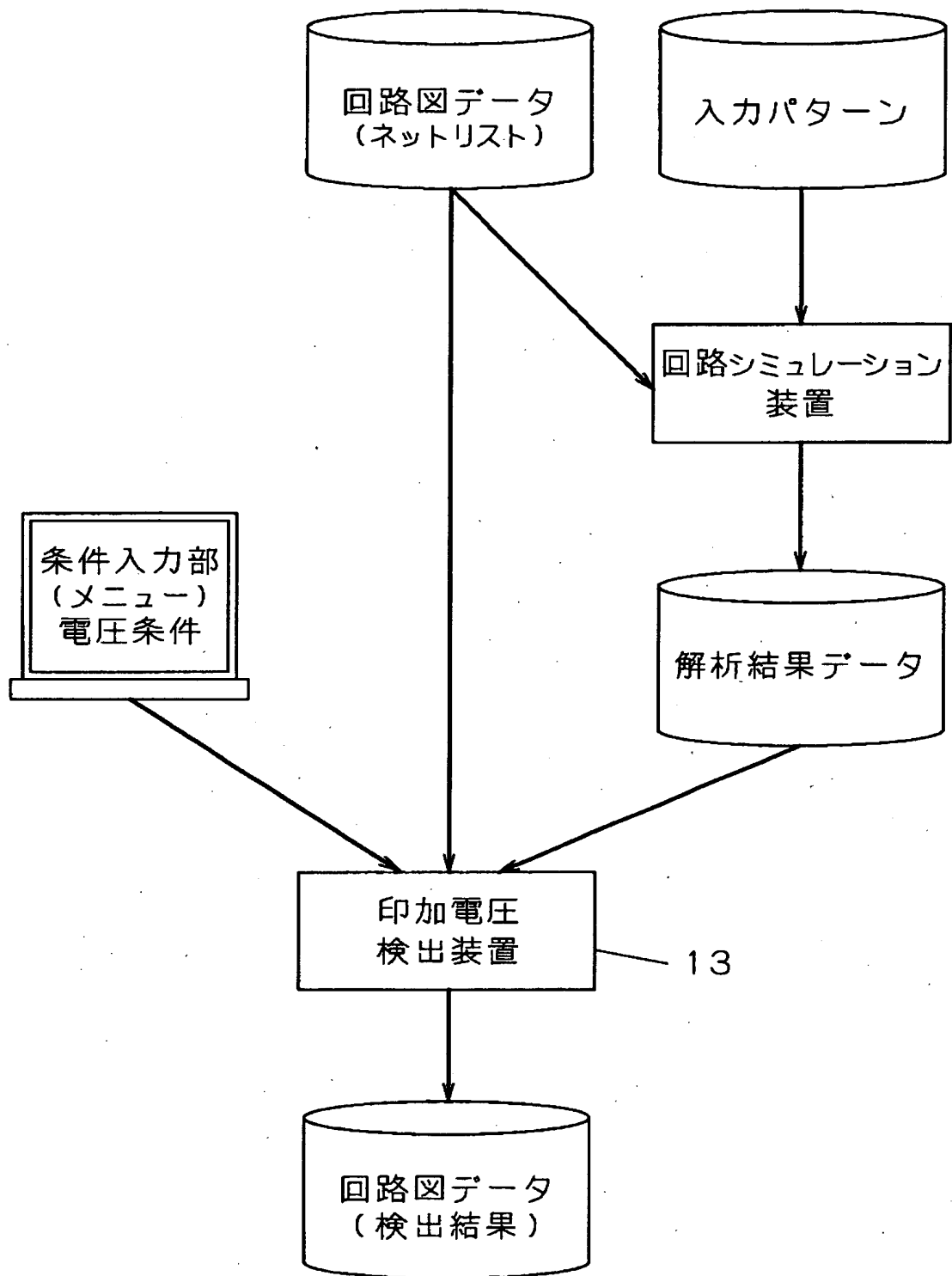
(b)



(c)



【図 5】



【書類名】 要約書

【要約】

【課題】 電圧、電流の電氣的規格と、印加時間の時間的規格を条件検証する場合、回路動作シミュレーション後の解析データを用いて検証を行っていた。人手による検証では検証精度に問題があり、従来技術の検証手段では処理時間の問題があった。

【解決手段】 本発明は、電氣的規格と時間的規格を記述した条件情報 2 と、回路図データ 3 と、入力パターン 4 を読み込み、回路動作シミュレーションと同時に条件検証を行う回路動作検証装置 1 である。また、条件情報の個別指定機能、軽減処理により処理の高速化も実現する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社